

⑫ 公開特許公報(A) 昭61-16572

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)1月24日

H 01 L 29/78
21/265
29/628422-5F
6603-5F
7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭59-138312

⑯ 出 願 昭59(1984)7月3日

⑰ 発 明 者 矢 野 政 文 門真市大字門真1006番地 松下電子工業株式会社内

⑱ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地

⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

(1) 半導体基板上に形成された高融点金属膜に、前記半導体に対してキャリアとならない第1の不純物をイオン注入する工程と、上記高融点金属膜に前記半導体に対しキャリアとなる第2の不純物をイオン注入する工程とが含まれてなることを特徴とする半導体装置の製造方法。

(2) 高融点金属としては、モリブデン、タングステン、タンタル、チタンからなる特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 半導体に対し、キャリアとなる不純物としては、ヒ素、ボロン、リン、アルミを用いる特許請求の範囲第1項記載の半導体装置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体集積回路において、ゲート遅延時間の短縮化を目的とした半導体装置の製造方

法に関する。

従来例の構成とその問題点

半導体集積回路において、ゲート材料として、酸素を含んだモリブデン膜を用い、ヒ素をイオン注入する場合のチャネリングを防止すると共に、ゲート電極のシート抵抗値を下げ、ゲート遅延時間の短縮化を目的とした従来の製造工程順断面図を第1図に示す。まず、第1図aに示すように、P形シリコン基板1を熱酸化し、300Åのゲート酸化膜2を形成後、酸素を含んだアルゴンガス中で、モリブデンをスパッタし、酸素を含んだモリブデン膜3をゲート酸化膜2上に形成する。つぎに、感光性膜4を用い、パターンニングを行う。その後、感光性膜4をマスクとし、異方性エッチングにより、酸素を含んだモリブデン膜3をエッチングし、エッチング終了後、感光性膜4の除去を酸素アッシングにより行う。つぎに、第1図cに示すように、全面にモスイオンを注入し、900℃の窒素ガス中でアニールし、注入層5の活性化を行う。その後、第1図dに示すように、層間絶

縁膜6を形成し、つぎに、コンタクトホール7を形成し、アルミニウム配線8を形成し、第1図bに示した集積回路の製造を行う。

しかしながら、上記方法に基づき、酸素を含んだモリブデン膜をゲート材料として用い、集積回路の製造を行った場合、つぎのような問題が生じる。酸素を含まない通常のモリブデンでは、ヒ素注入の際、チャネリングが生じるため、酸素を含んだアルゴン中でモリブデンをスパッタし、モリブデン膜中に多量の酸素を含ませることにより、(酸素濃度20at%)モリブデン膜のアモルファス化を行い、ヒ素イオンのチャネリングを防いでいるが、酸素を含むことによりモリブデンの比抵抗は1000℃のアニール後でも、酸素を含まない通常のモリブデン膜の約3倍の30 $\mu\Omega\text{cm}$ になり、シート抵抗の低減には限界があり、ゲート遅延時間の低減に支障がある。

発明の目的

本発明は、上記問題点を解決し、ゲート遅延時間の短縮化を目的とした半導体装置の製造方法を

提供するものである。

発明の構成

本発明は、高融点金属膜、たとえば、モリブデン膜に半導体に対してキャリアとならない不純物たとえば、シリコンイオンを注入し、同モリブデン膜をアモルファス化し、ついで、半導体に対してキャリアとなる不純物、たとえば、ヒ素イオン注入時に、同ヒ素イオンのチャネリングを防止し、安定な半導体集積回路を製造するものである。また、アモルファス化したモリブデン膜は、900℃以上の熱処理によりバルク比抵抗値に近づき、酸素を含んだモリブデンと異なり、シート抵抗の増加は生じない。そのため、ゲート遅延時間の短縮化を目的とした半導体装置の製造に非常に有利である。

実施例の説明

以下本発明の実施例を用いて、本発明を具体的に詳述する。第2図a~eは、本発明実施例のモリブデン膜をゲート電極とした半導体集積回路の製造工程順断面図である。

まず、第2図aに示すように、P型で方位面(100)、5~7 Ωcm のシリコン基板1を熱酸化し、300Åのゲート酸化膜2の形成を行い、ゲート酸化膜2上にスパッタ法により3500Åの酸素を含まないモリブデン膜9を形成する。その後、感光性膜4により、パターンニングを行い、感光性膜4をマスクとし、モリブデン膜9を CF_4 を用いエッチングし、エッチング終了後、感光性膜4の除去を酸素アッシングにより行う。つぎに、第2図cに示すように、全面にシリコンイオンの注入を、加速電圧80KV、注入量 $2 \times 10^{15}\text{cm}^{-2}$ の条件で行い、モリブデン膜9およびシリコン基板1の表面にアモルファス層10,11を形成する。続いて、MOSトランジスタのソース・ドレイン形成のため、ヒ素イオンを、加速電圧80KV、注入量 $4 \times 10^{15}\text{cm}^{-2}$ の条件で注入し、900℃30分のアニールにより、注入層5の活性化を行う。この過程でアモルファス層10,11は再び結晶化し、金属モリブデン膜9およびシリコン基板1とそれぞれ同質化する。その後、第2

図eに示すように、層間絶縁膜6を形成し、つぎに、コンタクトホール7を形成し、最後に、アルミニウム配線8を形成し、半導体集積回路を製造する。なお、実施例で用いたモリブデン膜9は、タングステン、タンタル、チタンの高融点金属群から選択して置き換えることが可能である。

発明の効果

本発明によれば、モリブデン等の高融点金属をゲート材料として用いた場合に生じるとヒ素イオン注入時におけるチャネリングによるMOSトランジスタのしきい値電圧の変動を防ぐとともに、モリブデン膜のシート抵抗の増加なしに、半導体集積回路の製造が可能である。そのため、高速度動作の半導体集積回路の製造に極めて有効な方法である。

4、図面の簡単な説明

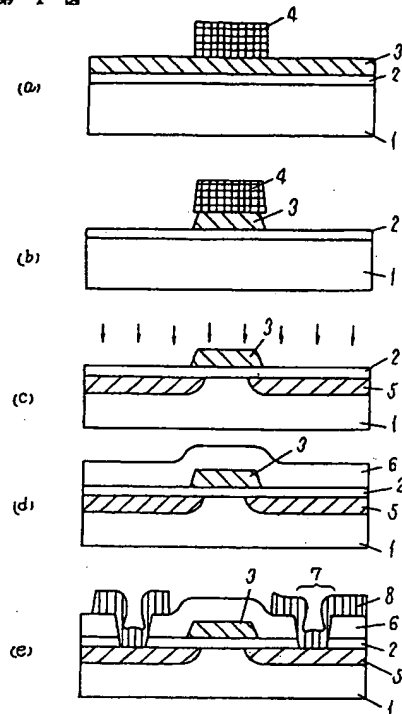
第1図a~eは、ヒ素イオンのチャネリング防止のため、酸素を含んだモリブデン膜をゲート材料として用いる従来の半導体集積回路の製造工程順断面図、第2図a~eは本発明を用い半導体集

第 1 図

積回路を製造した場合の実施例を説明する製造工程順断面図である。

1……シリコン基板、2……ゲート酸化膜、3……酸素を含んだモリブデン膜、4……感光性膜、5……注入層、6……層間絶縁膜、7……コンタクトホール、8……アルミニウム配線、9……モリブデン膜、10……アモルファス化したモリブデン膜、11……アモルファス化したシリコン。

代理人の氏名 井理士 中 尾 敏 男 ほか1名



第 2 図

